

И.С. Ремпен, Е.Н. Егоров, А.А. Овчинников

БАЗОВЫЕ ЛОГИЧЕСКИЕ ЦЕПИ И УСТРОЙСТВА

Учебно-методическое пособие

Саратов, 2010 г.

Содержание

Введение.	3
1. Последовательные логические устройства	4
1.1 Триггеры	4
1.2 Асинхронный RS-триггер	4
1.3 Синхронный RS-триггер	6
1.4 JK-триггер	7
1.5 D-триггер	8
1.6 Счётчики	9
1.7 Регистры	13
2. Применение последовательных цифровых устройств для решения задач синтеза цифровых устройств	15
2.1 Построение счётчиков и регистров	15
2.2 Совместное применение устройств последовательного и комбинационного типов	21
2.3 Построение делителей частоты с произвольным коэффициентом деления	24
3. Практическая часть	28
3.1 Порядок выполнения работы	28
3.2 Контрольные вопросы	29
4 Задания для численного и натурального эксперимента	30
Литература	31

Введение

Становление и развитие вычислительной техники тесно связано с совершенствованием элементарной базы цифровых систем. Цифровой электроникой был пройден долгий путь от функциональных узлов, построенных на базе отдельных радиоламп, до микросхем сверхбольшой степени интеграции, размеры отдельных элементов которых составляют десятки нанометров. Несмотря на значительные различия в размерах устройств, потребляемой ими мощности, материалов, из которых они изготавливались и физических явлений, лежащих в основе их работы, функции, которые они выполняли, оставались прежними. Не зависимо от элементарной базы, в любой цифровой системе можно выделить общие структурные элементы. К решению задачи выделения функциональных субъединиц можно подойти несколькими способами. В качестве базовых элементов можно, например, рассматривать устройства, реализующие основные логические функции или же отдельные аналоговые устройства, входящие в их состав. В ряде случаев такой подход, оказывается, вполне оправдан, однако достаточно часто разработчику приходится сталкиваться с ситуацией, когда подобный уровень детализации оказывается излишне большим. В большинстве случаев имеет смысл уделять внимание в первую очередь той функции, которую выполняет некоторый участок схемы, а не принципам, на основе которых работает это устройство.

В настоящем пособии рассматриваются базовые устройства цифровой логики, относящиеся к последовательному типу. Для понимания материала изложенного в настоящем пособии читателю следует быть знакомым с базовыми принципами, лежащими в основе цифровой схемотехники. Пособие построено следующим образом. В первой части делается обзор основных функциональных узлов последовательного типа, описывается возможность построения их на основе элементов, реализующих базовые логические функции. Во второй части разобраны примеры решения классических задач цифровой схемотехники. В третьей и четвёртой частях предложены вопросы и задания призванные проверить и закрепить знания изложенного в пособии материала.

1. Последовательные логические устройства.

Последовательными называются такие логические устройства, текущее состояние которых определяется состоянием в предыдущий момент времени. К последовательным устройствам относятся триггеры, счётчики, регистры.

1.1. Триггеры.

Триггер – логическое устройство последовательного типа с двумя устойчивыми состояниями равновесия, предназначенного для записи и хранения информации.

В настоящее время существует множество триггерных схем. Для записи могут использоваться: статический запуск уровнями напряжения, запуск только одним положительным или отрицательным перепадом импульса, а также запуск полным тактовым импульсом, когда используется его фронт и срез.

Также триггеры бывают статическими и динамическими. Для первого типа присутствует сквозная передача сигнала с входа на выход. Так статический синхронный триггер реагирует на входные сигналы в течение всего времени, пока тактовый импульс равен единице. Однако, часто необходимо, чтобы передаваемая информация не передавалась непосредственно на выход, а появлялась там, когда входы триггера заперты. Такая ситуация реализуется в триггерах, работающих по принципу «ведущий-ведомый» или же в динамических триггерах, в которых входы блокируются в тот момент, когда считываемая информация передается на выход [2,6].

Далее рассматриваются только статические триггерные схемы.

1.2. Асинхронный RS-триггер.

На рис. 2 представлена схема RS-триггера, составленная из элементов ИЛИ-НЕ, и его таблица состояний. У триггера два статических входа управления и два выхода: инвертированный и неинвертированный. Входы называются R (reset-сброс) и S (set-установка), также их еще называют по-другому: clear-сброс и preset-предварительная установка соответственно.

Таблица состояний <i>RS</i> -триггера			Схема	
Входы		Выходы		
R	S	<i>ИЛИ-НЕ</i>	<i>И-НЕ</i>	
		Q	Q	
0	0	сохранение прежнего значения	запрещено	
0	1	1	1	
1	0	0	0	
1	1	запрещено	сохранение прежнего значения	

Рис. 2 Таблица истинности и схема *RS*-триггера

RS-триггер также можно составить из элементов *И-НЕ*. Существенных отличий нет, меняются лишь логические уровни сигналов на входах для записи (см. таблицу состояний).

Рассмотрим работу асинхронного *RS*-триггера на элементах *ИЛИ-НЕ*. Если подать на оба входа напряжение низкого уровня, напряжение на выходах останется без изменений. Если же на входы подать логические единицы, то такие входные сигналы триггер зафиксировать не сможет. Действительно, в этом случае на инвертированном и неинвертированном выходах должны появиться логические нули. Но если питание на *R* и *S* строго одновременно отключить, триггер переключится в неопределенное состояние, т.е. не переключится однозначно.

Логические единицы одновременно подавать на входы *RS*-триггера на элементах *ИЛИ-НЕ* подавать нельзя, и логические нули – на входы триггера на элементах *И-НЕ*!

Этот недостаток *RS*-триггеров в последствии стал отправной точкой для дальнейшего развития триггеров.

Если же на входы подавать разноименные уровни сигналов, то на неинвертированном выходе будет такой же логический уровень, как и на *S* входе.

Таким образом, *RS*-триггер имеет два отдельных статических входа управления, чтобы можно было записывать и хранить один бит информации.

Вместе с тем триггерные ячейки – основа многих динамических устройств, главные из которых счетчики и регистры. В этих устройствах ранее записанная информация по специальному сигналу, называемому тактовым, следует передать на выход или перезаписать

в следующую ячейку. Для этого у триггера должен быть тактовый вход, как например, у синхронного *RS*-триггера.

1.3. Синхронный *RS*-триггер (*RST*-триггер).

Часто необходимо, чтобы поступающие на вход сигналы передавались на выход в определенные моменты времени. Эти моменты задаются с помощью специального сигнала синхронизации.

Таблица состояний синхронного <i>RS</i> -триггера			Схема
R	S	Q	
0	0	сохранение прежнего значения	
0	1	1	
1	0	0	
1	1	запрещено	
Рис. 3 Таблица истинности и схема <i>RST</i> -триггера			

При $C=0$ $S' = R' = 1$ в триггере сохранится предыдущая комбинация (см. рис. 3). При $C=1$ $S' = \bar{R}$ и $R' = \bar{S}$, и эта схема будет работать, как *RS*-триггер.

Строго говоря, бит информации появится на выходах триггера в момент перепада тактового сигнала *C*.

Таблица состояний для *RST*-триггера, изображенного на рис.3, показывает, что если на *R* и *S*=0, то при любом значении сигнала *C* в триггере сохранится предыдущая информация. Комбинация сигналов, когда на обоих информационных входах логические единицы, запрещена.

Наиболее универсален *JK*-триггер.

1.4. *JK*-триггер.

От *RST*-триггера *JK*-триггер отличается двумя обратными связями, устраняющими неопределенность в таблице состояний.

В таблице состояний на рис. 4 смотрятся значение напряжений в момент t_n , а состояние выходов в момент t_{n+1} после прихода тактового импульса.

Таблица состояний <i>JK</i> -триггера			Схема
Установлено		Записано	
J	K	Q_{n+1}	
0	0	сохранение прежнего значения	
0	1	0	
1	0	1	
1	1	переключение в противоположное состояние	

Рис. 4 Таблица истинности и схема *JK*-триггера

При $J=K=0$ состояние выходов не изменится, оно было таким как в момент установки t_n . Когда на входы подаем взаимно противоположные уровни сигналов, то *JK*-триггер устанавливается в такие же состояния, как и *RST*-триггер. При $J=K=1$ триггер меняет свое состояние на противоположное.

1.5. *D*-триггер.

Таблица состояний <i>D</i> -триггера			Схема
D_n	C (перепад)	Q_{n+1}	
0	есть	0	
1	есть	1	

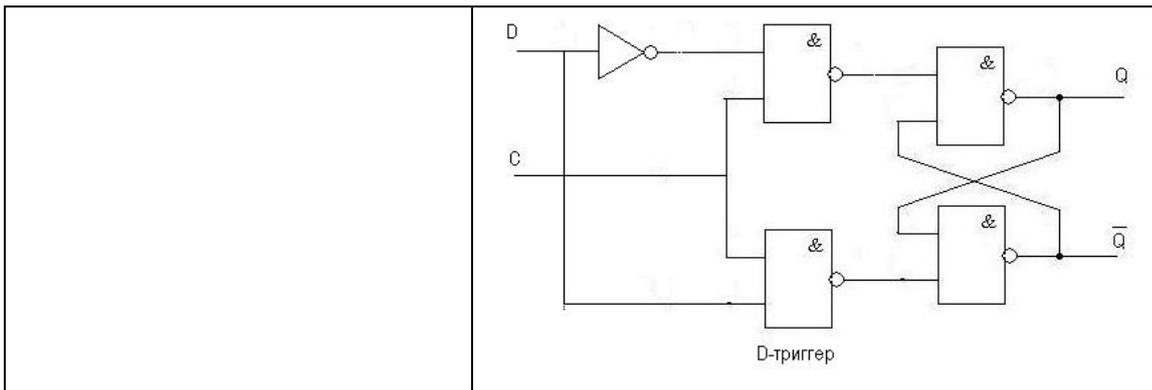


Рис. 5 Таблица истинности и схема D-триггера

Наиболее часто в импульсных устройствах применяются триггеры с одним входом данных, так называемые *D*-триггер.

Схема *D*-триггера схожа со схемой *RST*-триггера, отличие заключается в том, что входы *R* и *S* объединены. Неопределенность состояний пропадает за счет наличия инвертора между *R* и *S* входами, так как инвертор формирует на *R* сигнал противоположного уровня напряжения *S* входу.

На рис. 5 представлена схема *D*-триггера и его таблица состояний.

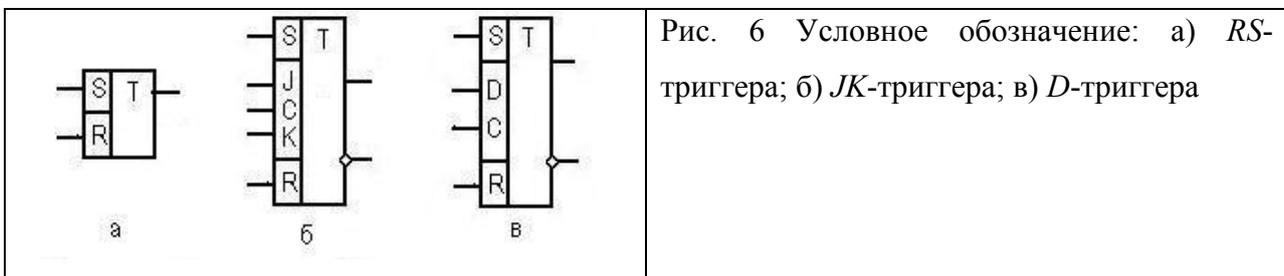


Рис. 6 Условное обозначение: а) *RS*-триггера; б) *JK*-триггера; в) *D*-триггера

Мы рассмотрели принцип работы и строение *RS*-, *RST*-, *JK*-, *D*-триггеров. Следует отметить, что понимание работы этих триггеров необходимо, поскольку они применяются не только как самостоятельные устройства (например, триггеры можно использовать как делители частоты на 2), но также являются основными элементами более сложных цифровых устройств, таких как например счетчики и регистры.

Необходимо также отметить, что один тип триггера можно взаимно преобразовать в другие виды триггерных схем [6].

На рис. 6 представлены условные обозначения разных типов триггеров.

1.6. Счетчики.

Соединив последовательно несколько триггерных схем – делителей частоты на два, мы получим простейший многоразрядный двоичный делитель: более общее название для делителей частоты – счетчики. Коэффициент деления счетчика, состоящего из n триггеров, составляет 2^n ; n – число двоичных разрядов счетчика. Вообще счетчики – это устройства, предназначенные для подсчета числа импульсов, поданных на вход.

Сейчас много разновидностей счетчиков: асинхронные и синхронные, двоичные и десятичные, однонаправленные и двунаправленные и т.д. Коэффициент деления счетчика может быть постоянным или переключаемым.

Основой любой из этих схем служит линейка из нескольких триггеров. Указанные варианты различаются схемой управления этими триггерами. Между триггерами добавляются логические связи, назначение которых запретить прохождение в цикле счета лишним импульсам. Расширять функции счетчиков можно, видоизменяя их цепи управления.

Первоначально счетчики были асинхронными. В асинхронном режиме предыдущий триггер вырабатывает для последующих тактовые импульсы. В синхронном счетчике все триггеры получают тактовый импульс одновременно, поскольку тактовые входы их соединяются параллельно.

В асинхронном счетчике каждый триггер вносит в процессе счета определенную задержку, поэтому разряды результирующего кода появляются на выходах триггеров не одновременно, т.е. не синхронно с соответствующим тактовым импульсом.

В синхронном счетчике на выходах данные от каждого разряда появляются одновременно и строго синхронно с последующим входным импульсом. В синхронный счетчик разрешается синхронная (с тактовым импульсом) параллельная (в каждый триггер) загрузка начальных данных.

Внутренние логические элементы управления, которыми часто снабжаются счетчики, позволяют сделать процесс счета реверсивным. Согласно команде, подаваемой на вход управления счета, можно либо увеличивать, либо уменьшать на единицу содержание счетчика при каждом очередном тактовом импульсе. Сброс данных счетчика, чтобы на всех выходах устанавливался ноль, у одних схем асинхронный, у других синхронный, т.е. счетчик очистится при подаче на него сигнала сброса при следующем синхроимпульсе.

В России счетчики обозначаются аббревиатурой ИЕ, в зарубежной литературе применяется обозначение СТ.

Модуль счетчика – это число различных состояний, через который переходит счетчик в процессе полного цикла счета.

На рис. 7 представлен асинхронный счетчик по модулю 8, составленный из 3-х JK-триггеров. Каждый триггер работает в режиме переключения ($J=K=1$).

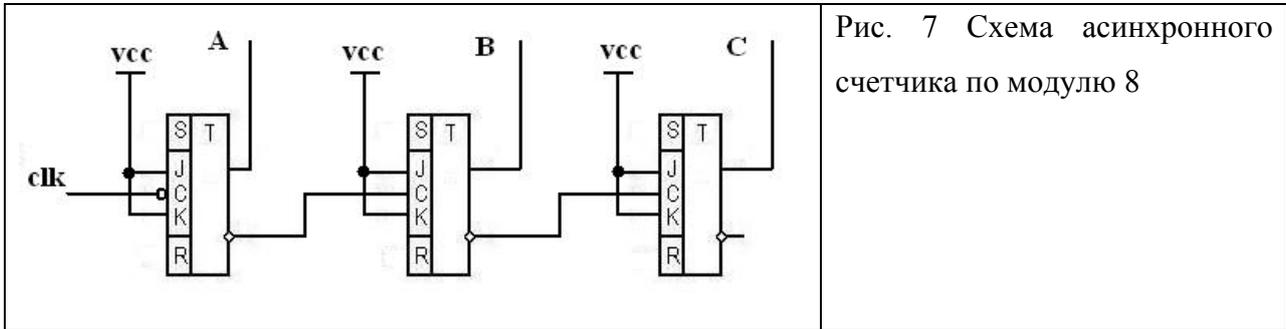


Рис. 7 Схема асинхронного счетчика по модулю 8

Пусть в начальный момент состояние выходов счетчика соответствует двоичному числу 0000 (очищен).

При поступлении тактового импульса на синхронный вход первого триггера, он переключится и на индикаторе появляется число 0001. Второй тактовый импульс возвращает первый триггер в исходное состояние, что в свою очередь приводит к переключению триггера номер два в состояние 1. На индикаторе появится 0010. И так далее срез сигнала на выходах каждого триггера запускает следующий триггер.

На рис. 8 представлена счетная последовательность (временная диаграмма) для счетчика по модулю 8. Под диаграммой представлены десятичные числа, соответствующие различным состояниям счетчика.

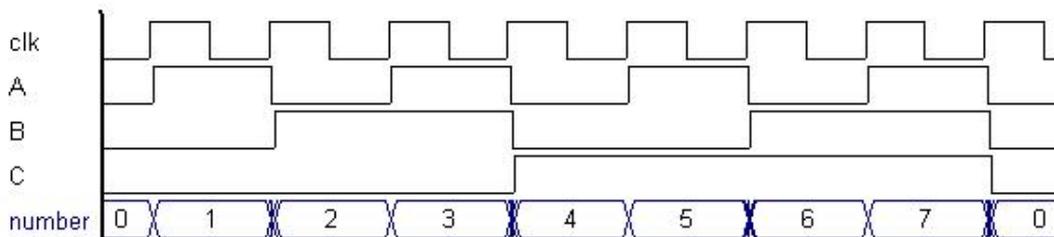


Рис. 8 Временная диаграмма асинхронного счетчика по модулю 8

Для некоторых быстродействующих цифровых устройств очень важно, чтобы все ступеньки счетчика срабатывали одновременно. Такой режим реализуется в синхронном счетчике. Пример такого счетчика приведен на рис. 9а. Это 3-х разрядный счетчик.

На рис. 9а видно, что тактовые входы триггеров соединены параллельно. Счетная последовательность приведена на рис. 9б.

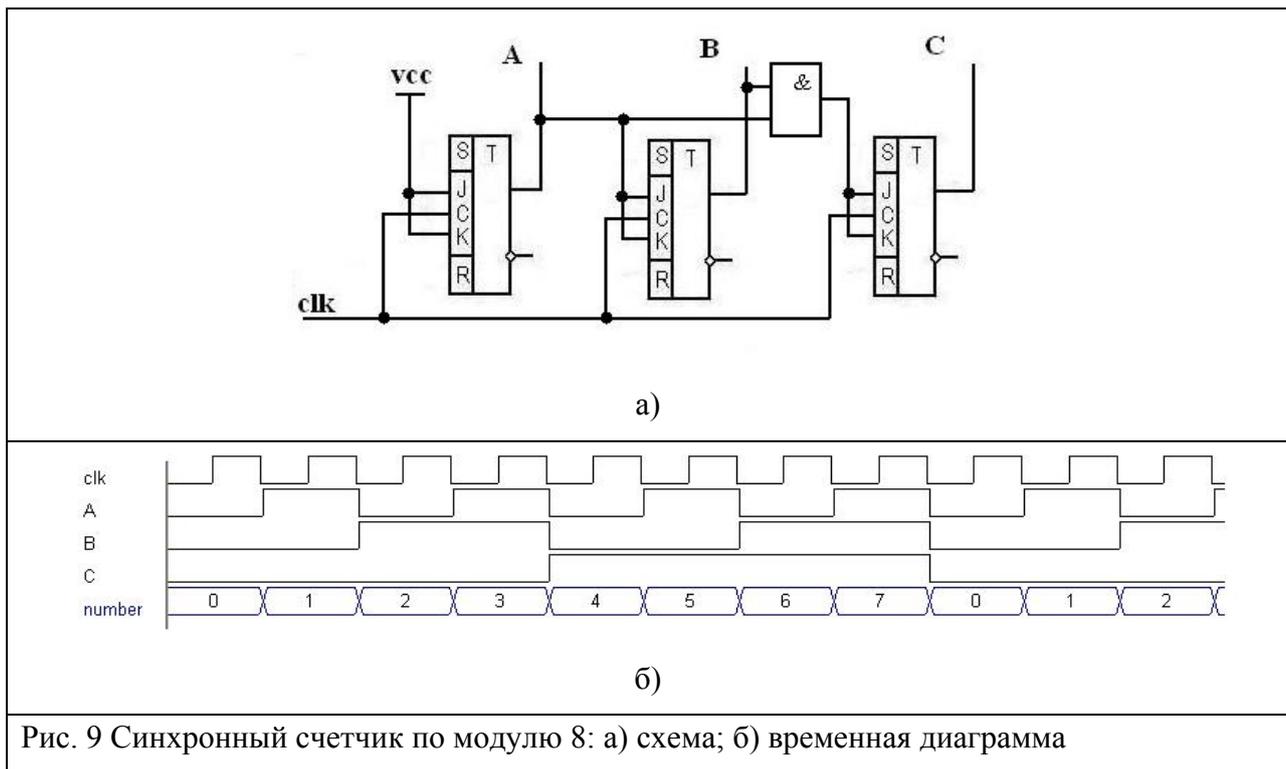


Рис. 9 Синхронный счетчик по модулю 8: а) схема; б) временная диаграмма

Проследим за работой счетчика.

При подачи первого входного импульса на синхронные входа триггеров, переключится только первый триггер, поскольку только этого триггера на информационных входах действуют логические единицы. Он перейдет из состояния 0 в состояние 1, на выходе будет 001.

При подаче второго тактового импульса переключатся первый и второй триггеры, поскольку $J=K=1$. На выходе 010.

После третьего импульса переключится только первый триггер. Вообще первый триггер будет переключаться при каждом перепаде тактового импульса.

При четвертом импульсе триггер номер один и два переключатся из 1 в 0. А третий триггер переключится из 0 в 1, т.к. на J и K выходах первого и второго триггеров были логические 1, то элемент $И$ подает на входы третьего триггера логические 1, и он переключится.

Рассмотренные выше счетчики работали в режиме прямого счета. Однако иногда требуется счет в обратном направлении.

Временная диаграмма реверсивного счетчика по модулю 16 представлена на рис. 10.

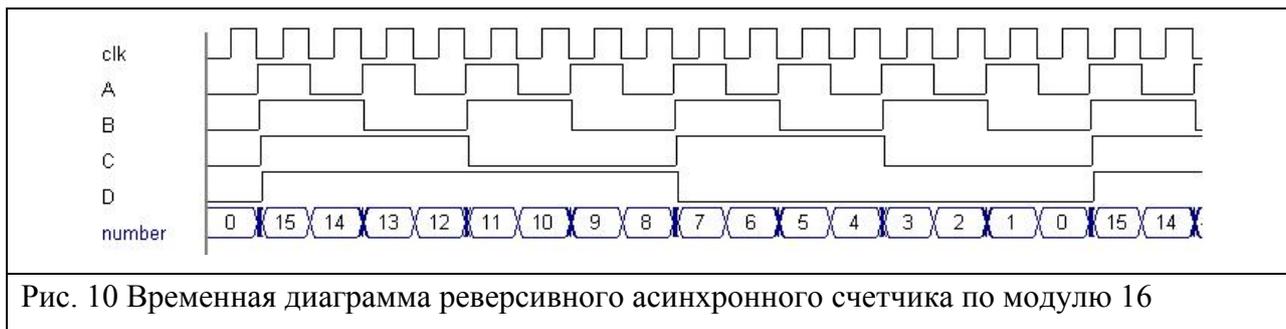


Рис. 10 Временная диаграмма реверсивного асинхронного счетчика по модулю 16

Схема вычитающего (реверсивного) асинхронного счетчика по модулю 8 похожа на схему счетчика прямого счета. Различие состоит в способе передачи сигнала от первого ко второму, от второго к третьему триггеру.

В счетчике прямого счета тактовый вход следующего триггера соединен с инверсным выходом предыдущего триггера. У реверсивного счетчика тактовый вход соединен с прямым выходом триггера.

У синхронного реверсивного трехразрядного счетчика J,K входы второго триггера соединены с инверсным выходом первого триггера, а вместо элемента I используется $ИЛИ-НЕ$ [4,5,6].

1.7. Регистры.

Регистры – линейка из нескольких триггеров, в которых в отличие от счетчиков нет внутренних запрещающих обратных связей. Вообще регистры – это последовательные устройства, предназначенные для приема, хранения, простых преобразований и передачи двоичных чисел. Под простейшими преобразованиями понимается сдвиг данных на заданное количество разрядов, а также преобразование последовательного двоичного кода в параллельный и параллельного в последовательный.

В зависимости от способа приема и передачи двоичной информации различают параллельные, последовательные или сдвиговые, последовательно-параллельные, параллельно-последовательные и универсальные регистры.

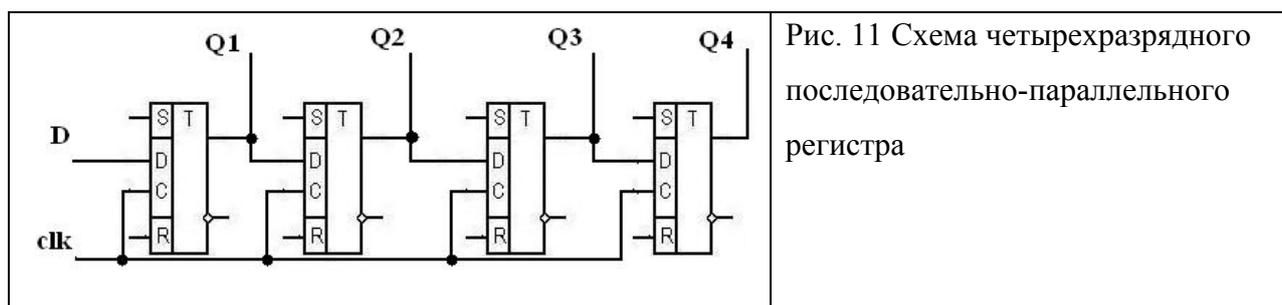
В простейшем регистре триггеры соединены последовательно: выходы предыдущего триггера передают бит данных на входы последующего. Все тактовые входы триггеров соединены параллельно. При таком включении бит, записанный в первый триггер, после подачи тактового импульса переходит в последующий, затем в момент следующего такта он попадает в следующий и так далее до конца регистра.

Аналогично продвигается по регистру многоразрядное слово: оно поразрядно вводится на вход первого триггера. Простейший регистр имеет один вход и выход, а также единственный управляемый вход – тактовый. Такой регистр называется сдвиговым.

Если к входу добавить разрешающую логику можно получить дополнительные, так называемые параллельные входы одновременной загрузки в регистр.

Здесь, как правило, используются дополнительные защелки, где фиксируются данные, поступившие на входы после прихода тактового импульса. В такую схему добавляется вход разрешения записи. Это так называемый сдвиговый регистр с параллельными входами.

Можно предусмотреть также логическую схему параллельного отображения на выходах состояния каждого триггера. Тогда после заполнения регистра от последовательного или параллельных входов по команде разрешения выхода, накопленное цифровое слово можно отобразить поразрядно на всех параллельных выходах. Пример схемы последовательно-параллельного регистра представлен на рис. 11.



Регистры, как реверсивные счетчики, могут быть двунаправленными, т.е. загруженное слово можно сдвигать по линейке триггеров, как вправо, так и влево.

На рис. 12 приведена схема простейшего параллельного регистра. Основной задачей такого регистра является хранение и задержка на один такт информации.

В России регистры обозначаются аббревиатурой ИР, в зарубежной применяется обозначение RG.

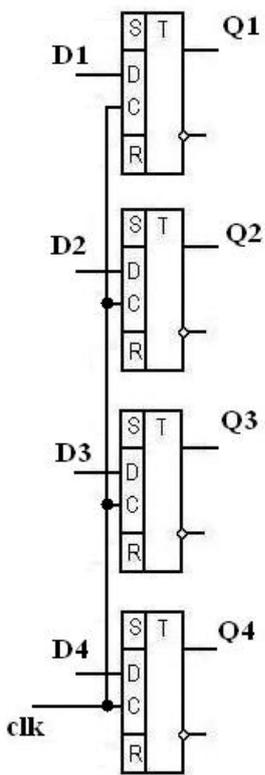


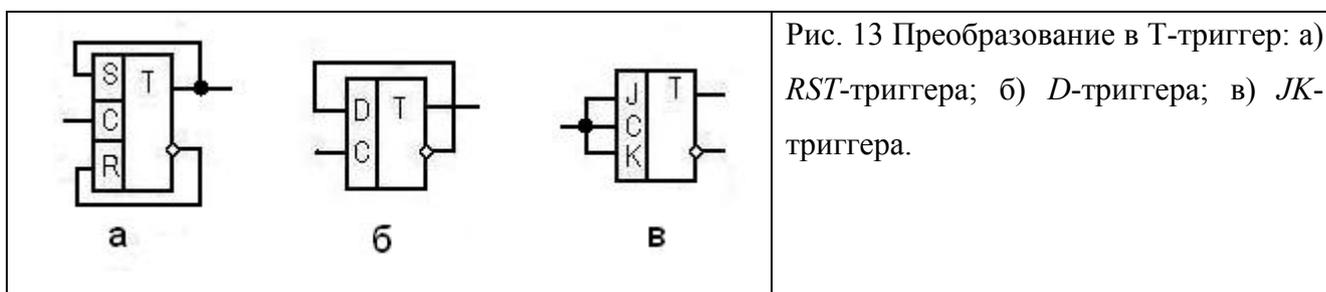
Рис. 12 Схема параллельного четырехразрядного регистра

2. Применение последовательных цифровых устройств для решения задач синтеза схем цифровых устройств.

2.1. Построение счётчиков и регистров.

Триггеры занимают особое положение в цифровой электронике, являясь, по сути элементарной базой для построения практически всех последовательных устройств.

Любой счетчик и регистр состоит из линейки триггеров, в счетчике это триггеры-делители на два или еще как их называют Т-триггеры. У Т-триггера один счетный вход и выход, с частотой вдвое меньшей, чем на входе. Из любого синхронного триггера можно сделать Т-триггер. Эти преобразования приведены на рис. 13.



Разрядность, а, следовательно, и максимальное количество принимаемых состояний, счетчика определяется количеством используемых триггеров. Для того чтобы получить четырех разрядный счетчик необходимо четыре Т-триггера. Для построения Т-триггера будем использовать *JK*-триггеры (повторимся, что можно использовать любые синхронные триггеры, выбор связан с тем, что *JK*-триггеры достаточно распространены в виде самостоятельных микросэлектронных устройств и зачастую работают более стабильно и предсказуемо, чем, например *RS*-триггеры), предварительно сделав из них делители на два. Чтобы из *JK*-триггера получить Т-триггер необходимо подать на *J* и *K* входы логические единицы, тогда триггер будет работать постоянно в режиме переключения, т.е. с каждым перепадом тактового сигнала (по фронту или срезу) выход триггера примет противоположный логический уровень. А так как такой перепад за период тактового сигнала происходит один раз, то на выходе триггера будет частота вдвое меньшей тактовой.

Прямой счетчик должен принимать следующую последовательность значений при каждом перепаде тактового сигнала:

0000→0001→0010→0011→0100→0101→0110→0111→1000→1001→1010→1011→1100
→1101→1110→1111 и т.д.

Т.е. каждый последующий триггер должен переключаться в противоположное состояние при переходе $1 \rightarrow 0$ на выходе предыдущего триггера. Но наши триггера переключаются при перепаде $0 \rightarrow 1$ на тактовом входе. Поэтому тактовый вход следующего триггера должен быть соединен с инверсным выходом предыдущего. Но при этом выводы индикатора необходимо соединить с неинверсными выходами триггеров. Схема приведена на рис. 14, временная диаграмма на рис. 15.

В реверсивном счетчике JK -триггеры также должны быть преобразованы в T -триггеры ($J=K=1$), но у него, в отличие от счетчика с прямым порядком счета, теперь обратная последовательность значений:

$0000 \rightarrow 1111 \rightarrow 1110 \rightarrow 1101 \rightarrow 1100 \rightarrow 1011 \rightarrow 1010 \rightarrow 1001 \rightarrow 1000 \rightarrow 0111 \rightarrow 0110 \rightarrow 0101 \rightarrow 0100 \rightarrow 0011 \rightarrow 0010 \rightarrow 0001$ и т.д. Теперь следующий триггер должен переключиться при переходе $0 \rightarrow 1$ на выходе предыдущего триггера, т.е. в схеме асинхронного реверсивного счетчика неинверсные выходы соединяются с тактовыми входами последующих триггеров.

Схема и временная диаграмма реверсивного асинхронного счетчика приведены на рис. 16 и 17 соответственно.

В асинхронном счетчике каждый триггер тактируется предыдущим. Но каждый триггер вносит в процесс счета свою задержку и поэтому на временной диаграмме можно увидеть между переходами состояний правильной последовательности счета, как проскакивает ложная последовательность значений (см. рис. 18), которая может вносить ошибку в работу устройства на больших частотах.

Для избежания такой ситуации необходимо, чтобы триггеры в счетчике переключались одновременно, т.е. срабатывали от одного и того же синхроимпульса.

Следующим типом приборов являются синхронные счётчики прямого и реверсивного счёта. Если в асинхронных счетчиках каждый триггер был в режиме переключения и регулировался посредством того, что тактовый вход был соединен с выходом предыдущего, т.е. тактировался другим триггером, то теперь в синхронных счетчиках триггеры тактируются одной частотой. Таким образом, чтобы следующий триггер переключился, на его J и K входы необходимо подать логические единицы в строго определенные моменты, так чтобы соблюдалась правильная счетная последовательность.

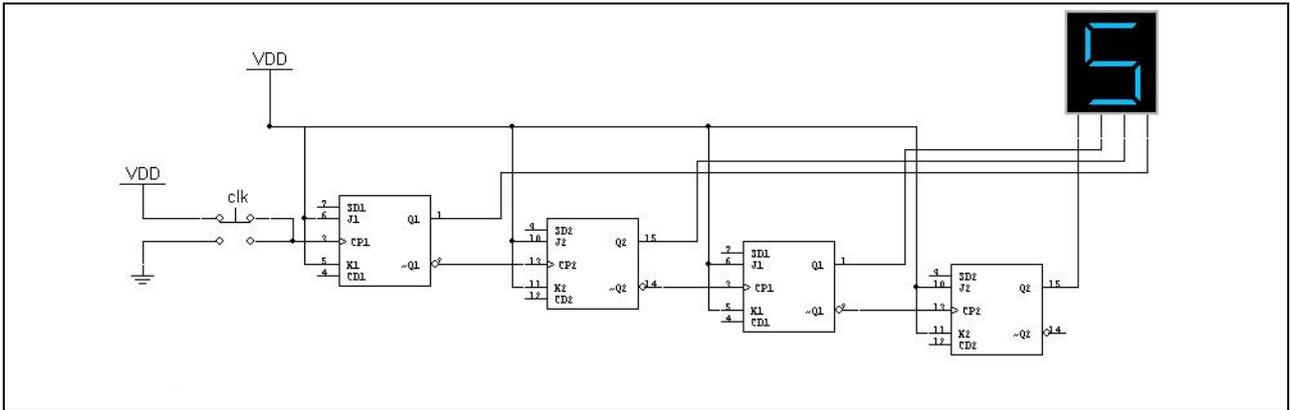


Рис. 14 Схема асинхронного 4-х разрядного счетчика

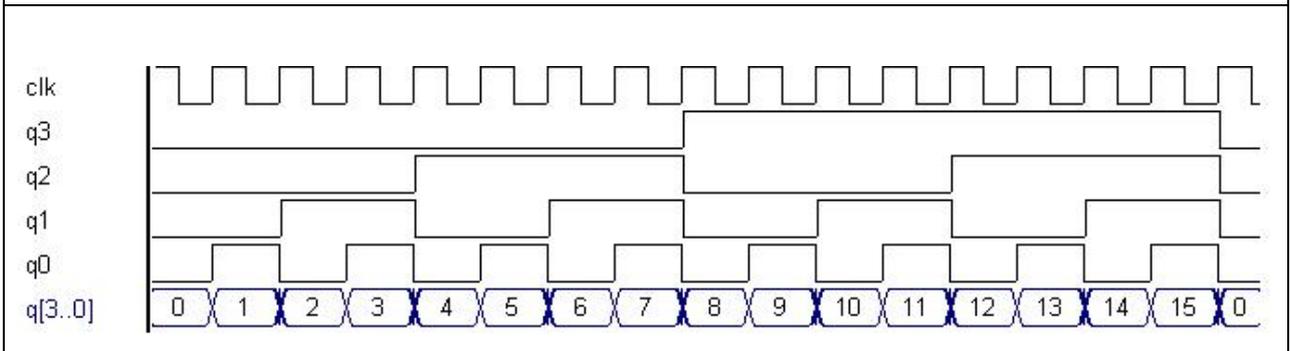


Рис. 15 Временная диаграмма асинхронного 4-х разрядного счетчика

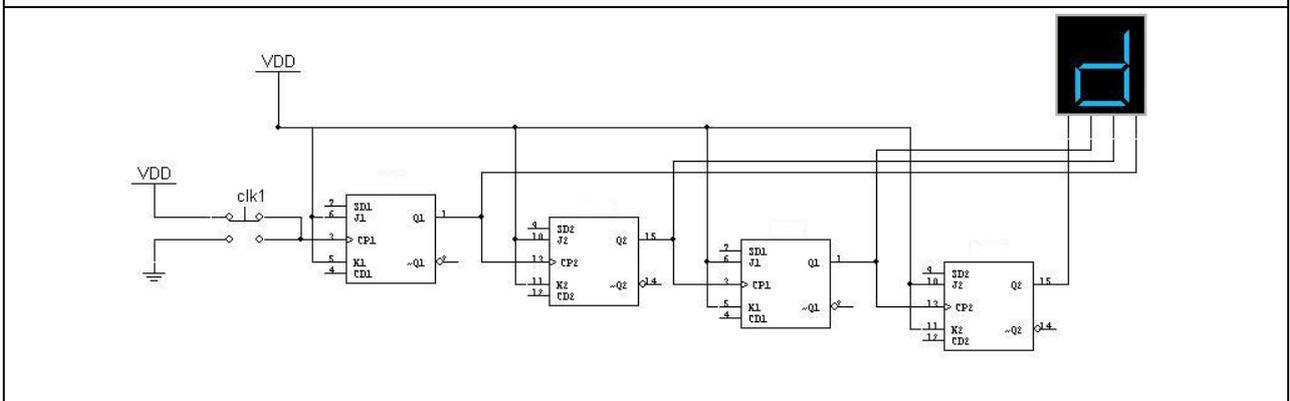


Рис. 16 Схема асинхронного 4-х разрядного реверсивного счетчика

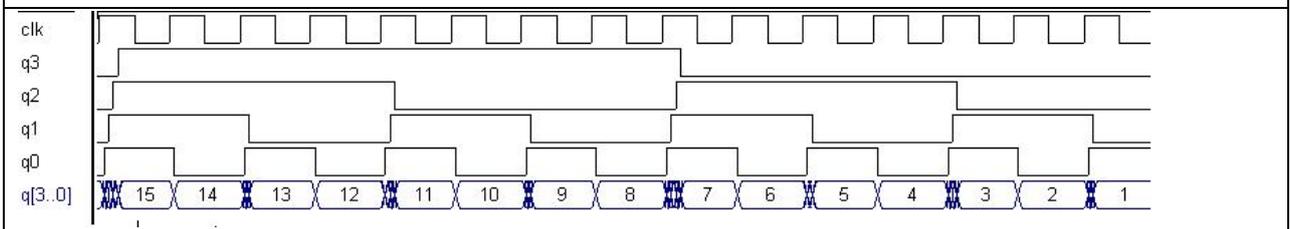


Рис. 17 Временная диаграмма 4-х разрядного реверсивного счетчика

Нереверсивный счетчик должен удовлетворять последовательности: 0000→0001→0010→0011→0100→0101→0110→0111→1000→1001→1010→1011→1100→1101→1110→1111 и т.д. Из этой последовательности видно, что младший разряд (первый

триггер) принимает противоположное значение при каждом тактовом импульсе, поэтому он должен постоянно находиться в режиме переключения ($J=K=1$).

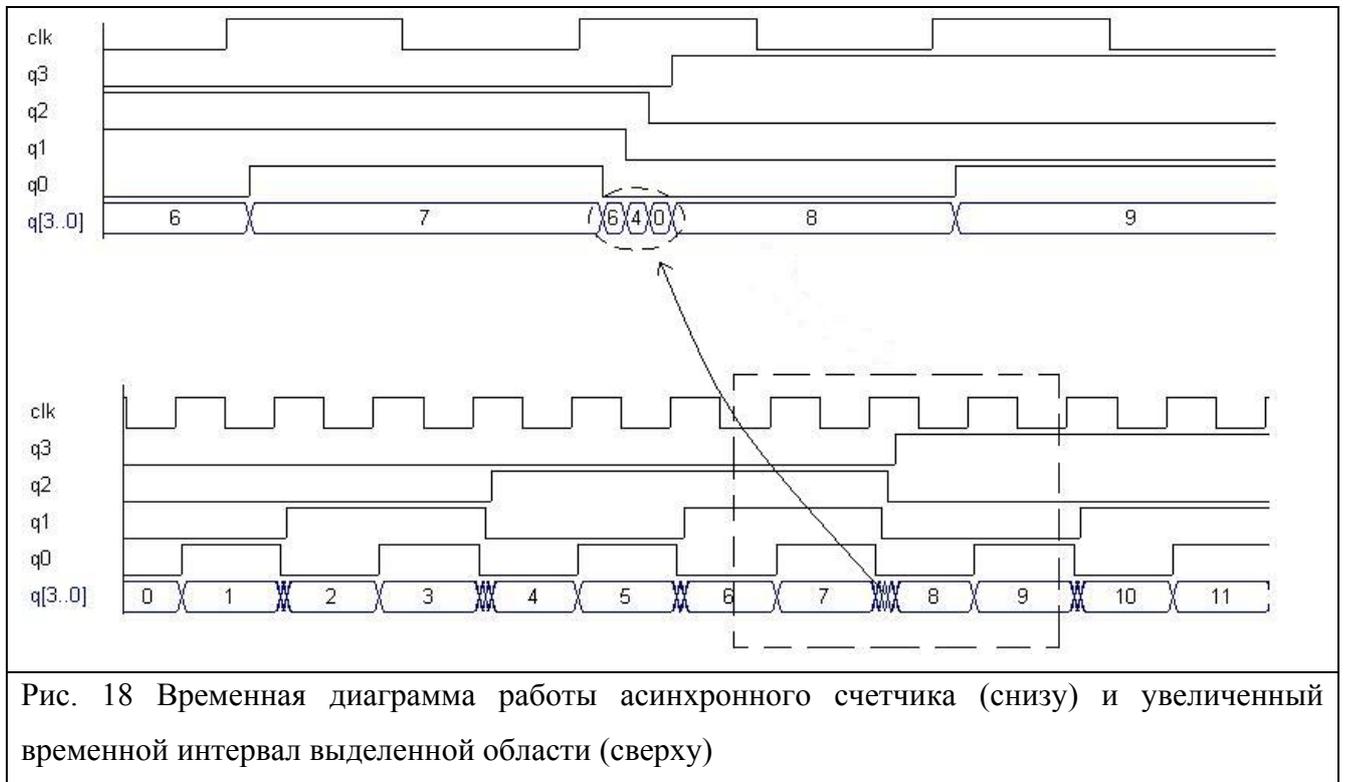


Рис. 18 Временная диаграмма работы асинхронного счетчика (снизу) и увеличенный временной интервал выделенной области (сверху)

Второй разряд меняется вдвое меньше, чем младший, поэтому неинверсный выход первого триггера надо подать на J и K входы второго триггера. Третий триггер (третий разряд) должен переключиться, когда на выходах первого и второго триггеров будут логические единицы, а четвертый, когда логические единицы на выходах всех трех триггеров. Таким образом, $J_3 = K_3 = q_1 \cdot q_2$ и $J_4 = K_4 = q_1 \cdot q_2 \cdot q_3$, где J_i, K_i -информационные входы i -триггера, q_i - выходы i -триггера. Схема и временная диаграмма приведены на рис. 19 и 20.

У реверсивного трехразрядного счетчика следующая последовательность значений на выходах: 000→111→110→101→100→011→010→001 и т.д. Первый триггер также должен переключаться при каждом тактовом импульсе. Второй триггер – когда на выходе первого логический ноль, поэтому $J_2 = K_2 = q_1$, где J_2, K_2 -информационные входы второго триггера, q_1 - выходы первого триггера. Чтобы третий разряд изменил значение на противоположное, на выходах первого и второго триггеров должны быть логические нули. Чтобы выполнить это условие и одновременно подать на J и K входы третьего триггера логическую единицу, необходимо использовать элемент *ИЛИ-НЕ* (см. таблицу истинности). Все выше перечисленные условия реализованы в схеме, представленной на рис. 21, временная диаграмма работы реверсивного синхронного счетчика на рис. 22.

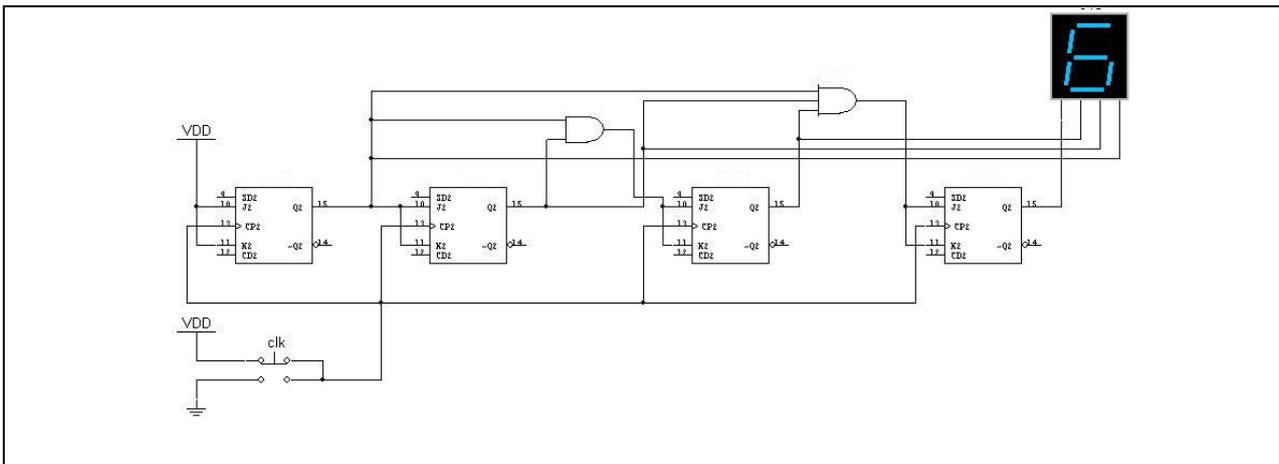


Рис. 19 Схема синхронного 4-х разрядного счетчика

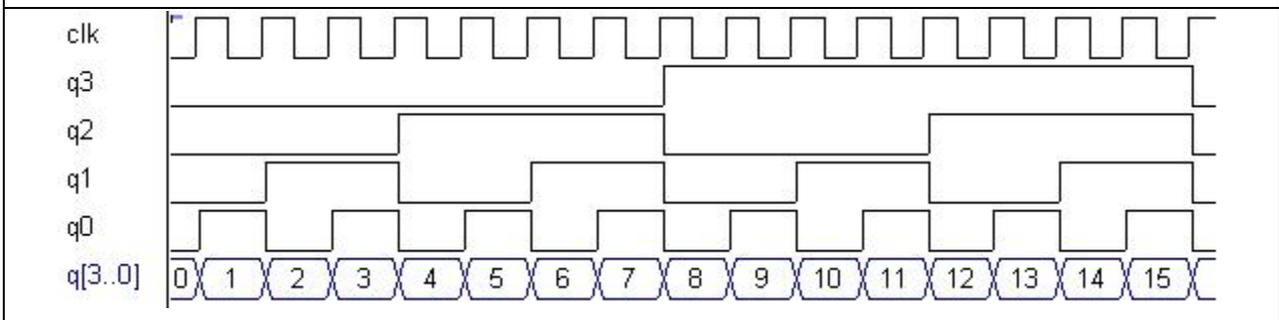


Рис. 20 Временная диаграмма синхронного 4-х разрядного счетчика

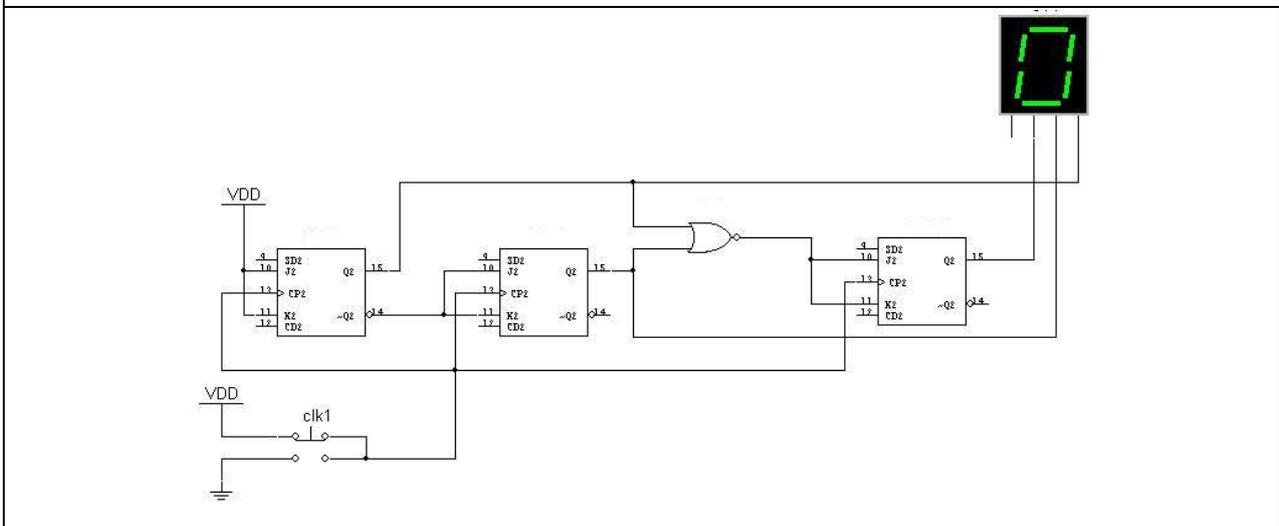


Рис. 21 Схема синхронного 3-х разрядного реверсивного счетчика

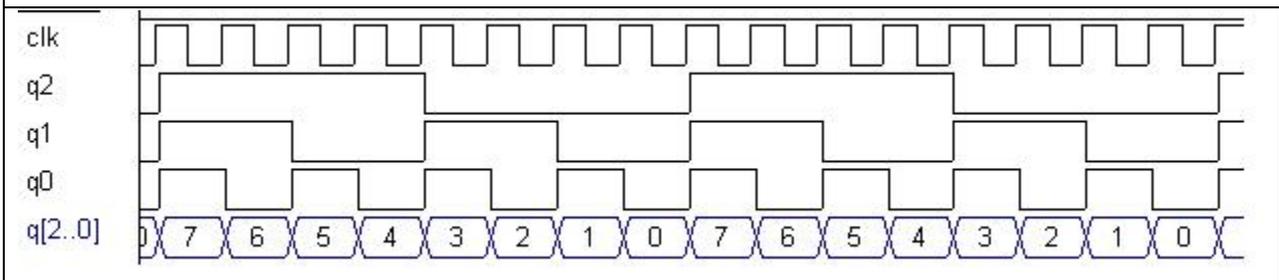


Рис. 22 Временная диаграмма синхронного 3-х разрядного реверсивного счетчика

2.2. Совместное применение последовательных и комбинационных цифровых устройств.

Часто при проектировании цифровых узлов возникает задача индикации состояния цепи. Комбинационные устройства, хотя и позволяют произвольным образом преобразовывать цифровые сигналы не могут справиться с этой задачей. Здесь уместно использовать некоторую комбинацию триггеров, позволяющую фиксировать состояние цепи в произвольные моменты времени и затем выводить данное фиксированное состояние на устройство вывода, в качестве которого может выступать группа светоизлучающих диодов, семисегментный индикатор и т.п. Далее мы рассмотрим задачи построения двухразрядного счётчика и системы отображения его состояния, и построения двухразрядного шифратора, снабженного средством визуализации его работы. Несмотря на то, что данные схемы вряд ли имеют практическую применимость в силу малого числа разрядов, понимание принципа их работы значительно облегчит построение более сложных систем.

В функции дешифратора входит преобразование кода, поступающего на его входы. В нашем случае счетчик двухразрядный, поэтому и дешифровать надо двухразрядное число, в связи с этим у дешифратора должно быть $N=2^2=4$ выходов. На рис. 25 пунктирной линией отмечена схема счетчика, мы выбрали для иллюстрации асинхронный нереверсивный счетчик, хотя он может быть заменён на любой другой по выбору разработчика.

Схему дешифратора будем собирать аналогично схеме, приведенной на рис. 13. Для этого дешифратора активные уровни логические нули, т.е. он примет число, дешифровав его, выдаст логический ноль на один из своих выходов, соответствующее поступившему числу. В нашем случае, если на дешифратор подать 0001, то светодиод X1 должен потухнуть, а три остальных гореть, что как раз и соответствует тому, что на X1 логический ноль. Если в схеме на рис. 13 использовались элементы И, вместо И-НЕ, то активные уровни дешифратора были бы логические единицы, что соответствовало горящему светодиоду.

Для того чтобы проверить правильность дешифрации, выходы счетчика подключим к цифровому индикатору.

Таким образом, будем собирать дешифратор с активными уровнями логических нулей, для этого воспользуемся элементами И-НЕ, которые выдают логический ноль, когда на входах будут логические единицы. Обозначим через q_0 и q_1 выходы счетчика. Тогда схема должна удовлетворять следующей таблице:

Десятичный	Обозначение	Логическое выражение
------------	-------------	----------------------

эквивалент числа	на схеме	для дешифрации
0	X0	$\overline{q_0 \cdot q_1}$
1	X1	$q_0 \cdot q_1$
2	X2	$q_0 \cdot \overline{q_1}$
3	X3	$\overline{q_0} \cdot q_1$

Итоговая схема приведена на рис. 25.

На схеме видно, что для создания инверсных выходных сигналов использовались дополнительные инверторы, хотя их использование можно было бы избежать, если воспользоваться инверсными выходами триггеров. Но этого не было сделано, чтобы показать, как на самом деле выглядела бы схема, если бы использовали отдельные микросхемы счетчика и дешифратора, т.к. у счетчика было бы два выхода, идущих с неинверсных выходов триггеров и два входа дешифратора. Ситуация, когда используются инверсные выходы триггеров счетчика, соответствует микросхемам счетчиков со встроенными дешифраторами.

Таким образом, схема должна работать следующим образом: при каждом нажатии кнопки *clk* (на рабочей плате лабораторной установки соответствует встроенному генератору одиночных импульсов) счетчик будет последовательно проходить состояния 0→1→2→3, соответственно в схеме светодиоды должны будут также последовательно тухнуть (X0→X1→X2→X3).

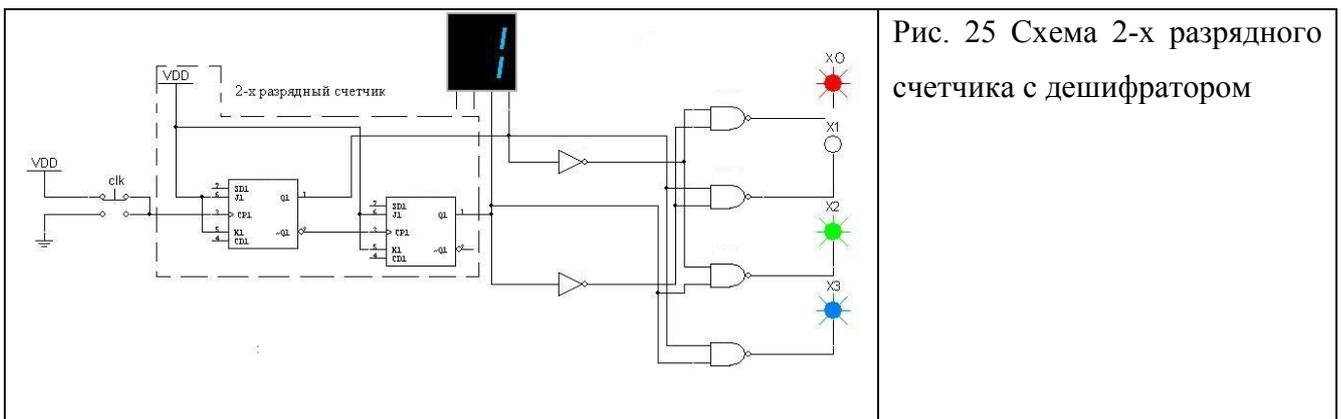


Рис. 25 Схема 2-х разрядного счетчика с дешифратором

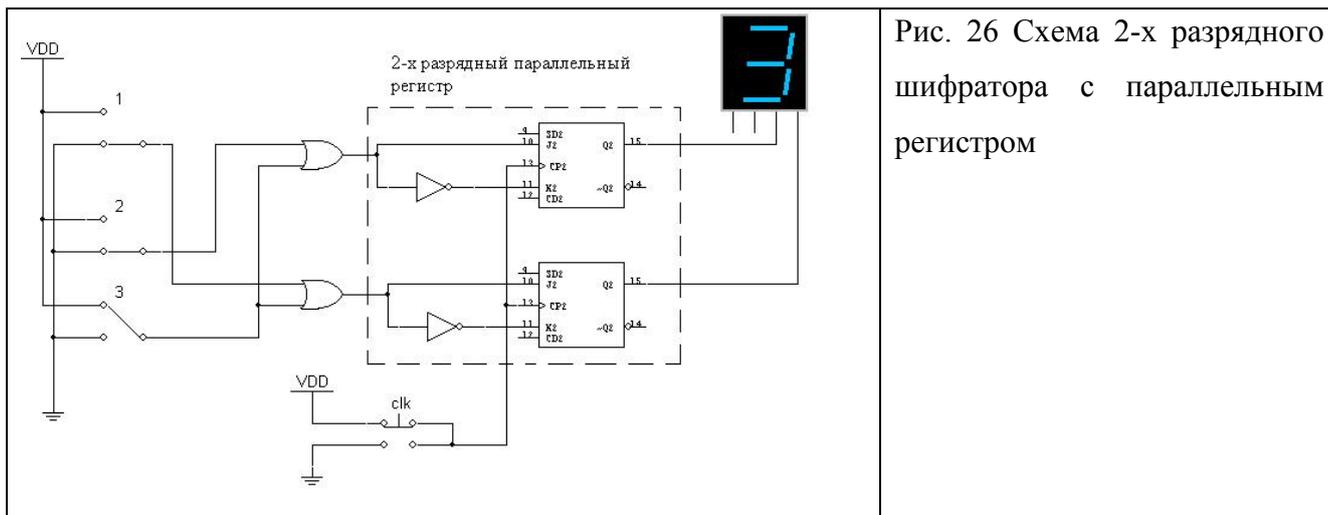


Рис. 26 Схема 2-х разрядного шифратора с параллельным регистром

Шифратор – это устройство, которое преобразует одиночный сигнал в n-разрядный двоичный код. Будем преобразовывать десятичные числа, которые задаются с помощью ключей «1», «2» и «3», в двоичные. Десятичный ноль задается, когда все ключи замкнуты на землю.

Двухразрядный регистр используется для хранения двоичного числа, записанного с шифратора, и передачи его на цифровой индикатор.

Шифратор должен удовлетворять следующей таблице:

Десятичное число	a_1	a_2
0	0	0
1	0	1
2	1	0
3	1	1

где a_1 и a_2 – выходы шифратора.

Согласно этой таблице, когда мы замыкаем ключ «1» на питание, на выходах $a_2=1$ и $a_1=0$ и при нажатии на кнопку в регистр должно записаться число 01, а на индикаторе высветится единица.

Из этой таблицы следует, что на выходе $a_0=1$, когда на питание замкнуты ключи «1» или «3», $a_1=1$ – когда ключи «2» или «3». Таким образом, в схеме мы должны использовать элементы *ИЛИ* и соответственно выход a_0 подать на вход младшего разряда регистра, а a_1 – на старший.

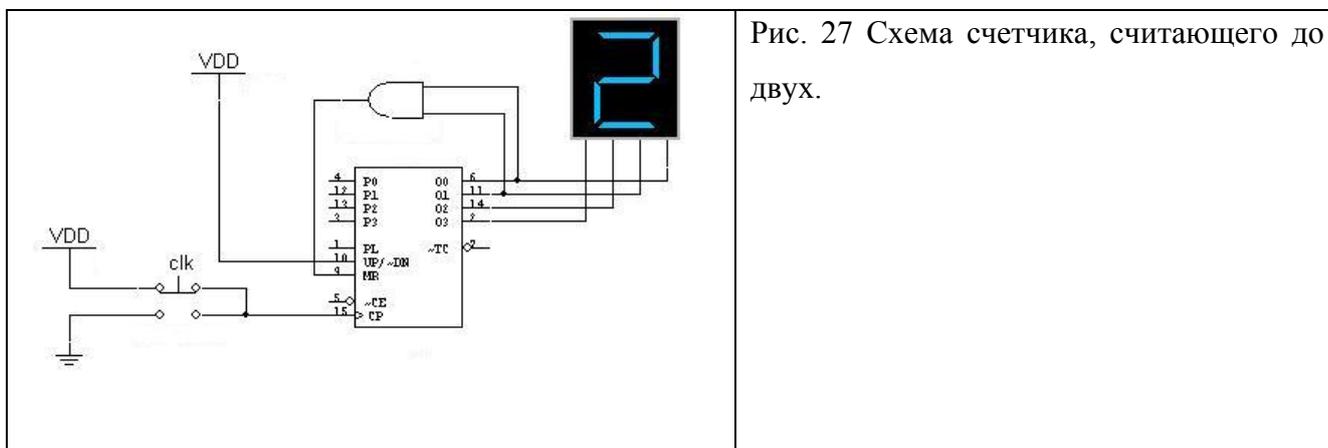
Схема приведена на рис. 26.

2.3. Построение делителей частоты с произвольным коэффициентом деления.

Как было отмечено ранее, счётчики с успехом могут выполнять роль делителя частоты, осуществляющего деление на целую степень двойки. На практике часто возникает ситуация, когда необходимо осуществить деление частоты на число, которое степенью двойки не является. Возможные решения данной проблемы описаны ниже.

Четырёхразрядный счетчик считает только до пятнадцати. Чтобы он считал до двух надо сбросить счетчик, как только он перейдет в состояние 0011. Для этого первый и второй разряд подаем через элемент И на вход асинхронного сброса счетчика (см. рис. 27). Согласно этому методу задача будет решена не совсем корректно, т.к. фактически счетчик досчитывает до трех и это видно на временной диаграмме (см. рис. 28). Но на самом деле в состоянии 0011 счетчик находится пренебрежительно мало времени (порядка нескольких наносекунд), т.к. этого промежутка времени хватает для сброса счетчика. На диаграмме рис. 28 сигнал reset соответствует тому сигналу, который сбрасывает счетчик.

Выше уже упоминалось, когда рассматривались схемы асинхронных счетчиков, что эти «ложные» состояния могут вносить ошибку в работу устройства на больших частотах, поэтому если у счетчика есть вход синхронного сброса, то лучше использовать его для наших целей. Синхронный сброс очищает счетчик при следующем синхроимпульсе. В случае, когда нам необходимо досчитать до двух, мы соединяем выход второго разряда с входом синхронного сброса. Временная диаграмма счетчика в этом случае приведена на рис. 29.



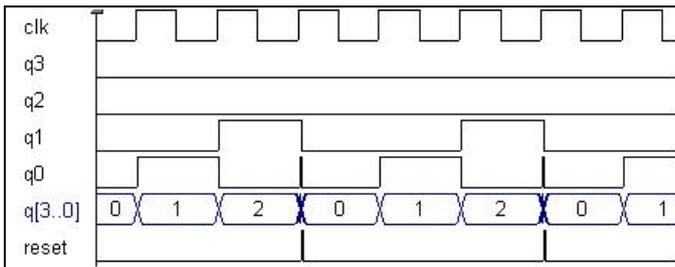


Рис. 28 Временная диаграмма счетчика считающего до двух с использованием входа асинхронного.

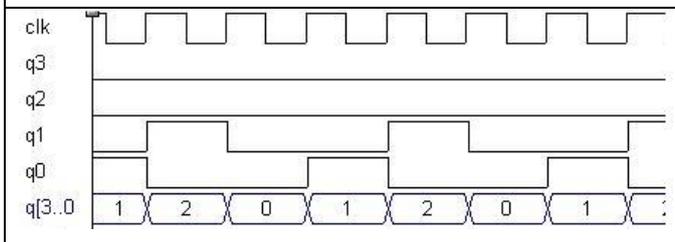


Рис. 29 Временная диаграмма счетчика считающего до двух с использованием входа синхронного сброса.

Если внимательно изучить временные диаграммы на рис. 28 и 29, то можно заметить, что на выходе второго разряда счетчика (q_1) частота с периодом втрое большим, чем у тактового сигнала, т.е. частота в три раза меньше тактовой. Таким образом, мы получили делитель частоты на три. Напомним, что в функции счетчика входит деление частоты, его выходы делят тактовую частоту по степеням двойки, т.е. первый делит на два, второй – на четыре и т.д.

Схема счётчика, считающего до пяти обсуждается ниже. При использовании входа асинхронного сброса, необходимо поступить аналогично предыдущему случаю, счетчик должен досчитать до шести и сброситься. Схема приведена на рис. 30, временная диаграмма на рис. 31.

Если использовать вход синхронного сброса, то на этот вход необходимо подать $q_0 \cdot q_2$, временная диаграмма для этого случая представлена на рис. 32.

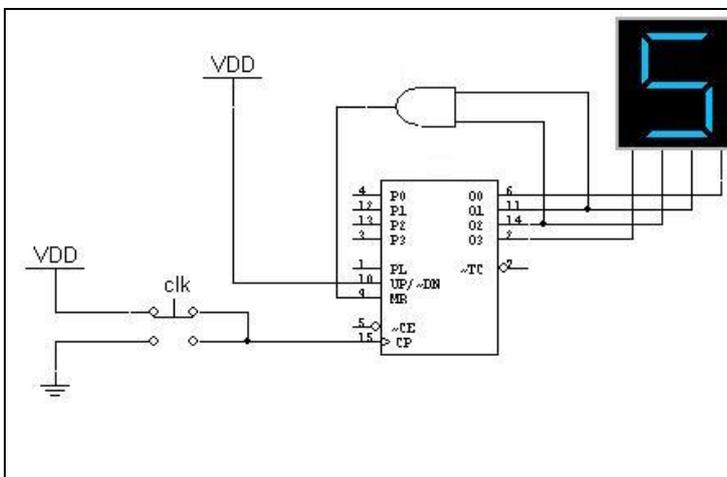


Рис. 30 Схема счетчика, считающего до пяти.

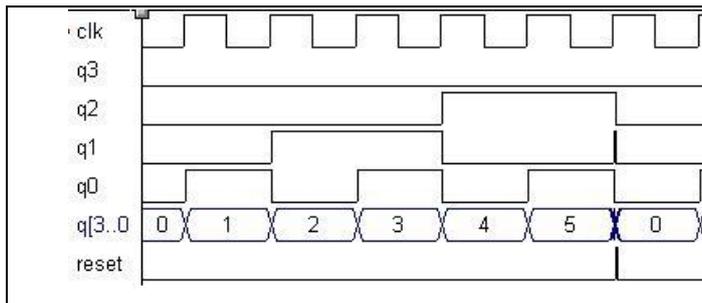


Рис. 31 Временная диаграмма счетчика считающего до пяти с использованием входа асинхронного сброса.

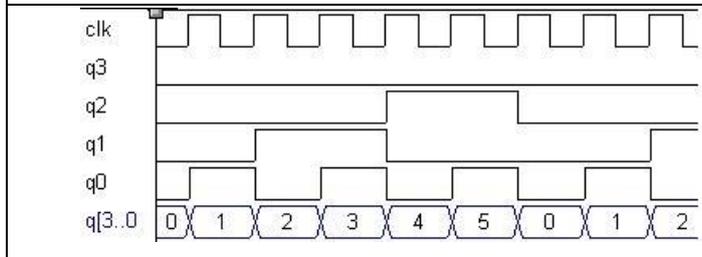


Рис. 32 Временная диаграмма счетчика считающего до пяти с использованием входа синхронного сброса.

В режиме счета до пяти счетчик делит тактовую частоту на шесть.

3. Практическая часть

3.1 Порядок выполнения лабораторной работы

Для выполнения заданий, предложенных в данном методическом пособии, необходимо изучить теоретические принципы функционирования цифровых устройств, а именно познакомиться с алгеброй логики и методом построения цифровых схем по таблице состояний. Следует помнить, что в силу ограниченности объёма методического пособия, изложенный теоретический материал носит скорее ознакомительный характер. Для более подробного изучения обозначенных вопросов необходимо воспользоваться дополнительной литературой, приведенной в библиографическом списке. Перед началом выполнения практической части работы следует ответить на приведённые ниже контрольные вопросы и выполнить теоретические расчётные задания.

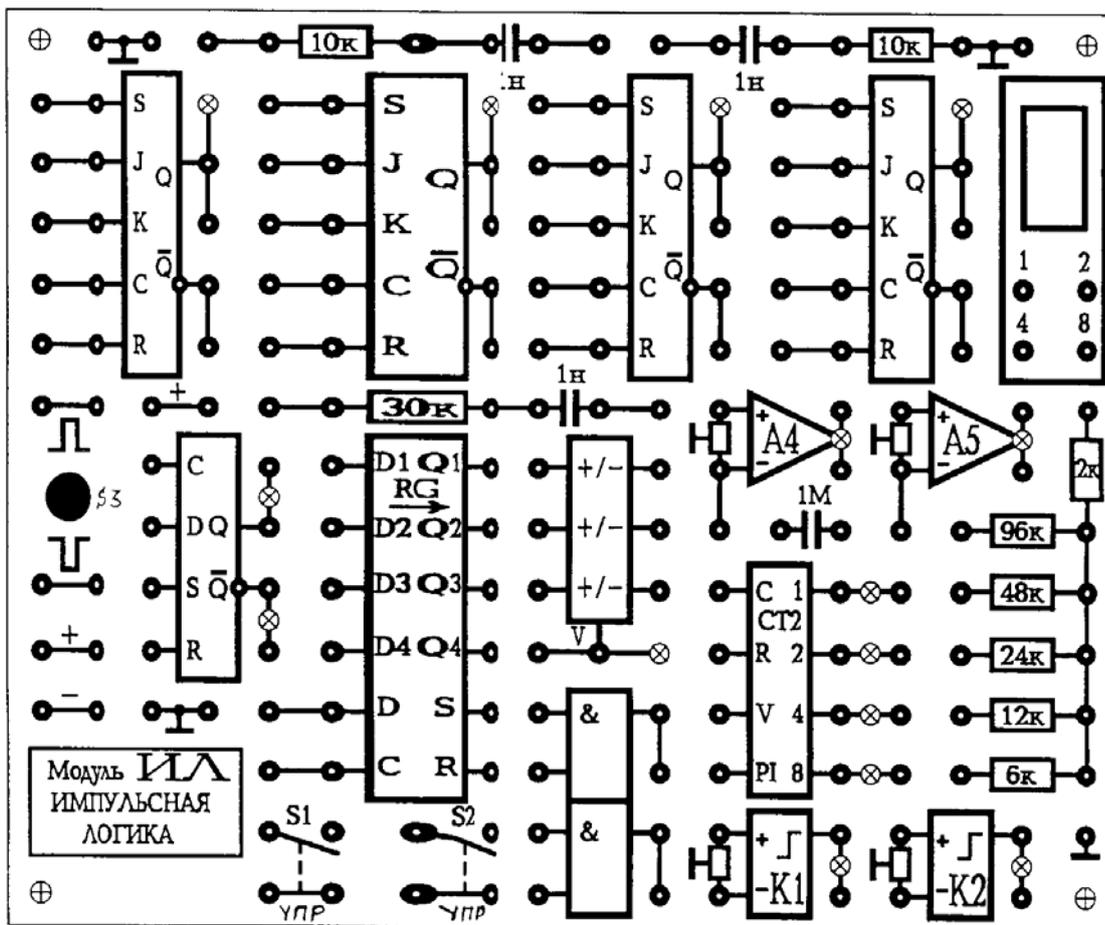


Рис. 27. Модуль последовательной логики.

3.2 Контрольные вопросы.

1. Опишите назначение и принцип работы RS триггера.
2. Опишите назначение и принцип работы JK триггера.
3. Опишите назначение и принцип работы D триггера.
4. Опишите принцип работы и назначение счётчика.
5. Опишите назначение и принцип работы регистра.
6. В чём отличие RS-триггера от JK-триггера?
7. Предложите схему D-триггера, построенную на элементах ИЛИ-НЕ.
8. Как преобразовать один вид триггерных схем в другие?
9. Как, используя, счетчик получить делитель частоты на определенное число?
10. Как в простейшем случае поделить или умножить число по степеням двойки?
11. Опишите принцип работы и элементарную базу устройства, отвечающего за отображение информации на матрице светоизлучающих диодов, содержащей 64x128 элементов (64 строки по 128 элементов).
12. Основываясь на материале, изложенном в пособии, сделайте предположение, почему число строк и столбцов в большинстве промышленно выпускаемых матричных индикаторов кратно 8?
13. Известно, что существует несколько способов передачи информации между цифровыми устройствами, среди которых можно выделить последовательную передачу по одной линии и параллельную передачу по нескольким линиям. Предложите схему устройства, осуществляющего преобразование последовательных данных в параллельные.
14. *Предложите устройство, осуществляющее преобразование, обратное описанному в вопросе 13.
15. Предложите схему 8-ми разрядного сдвигающего регистра.
16. Почему разрядность серийно выпускаемых элементов цифровых систем обычно кратна двум?

4 Задания для численного эксперимента в среде Multisim™ 9.0. и проведения натурального эксперимента.

Приведённые ниже задания следует реализовывать на рабочей плате лабораторной установки ЛКЭЛ-1.2.2 (рис. 20 и 21) посредством соединения соответствующих точек соединительными проводами. Все необходимые элементы смонтированы в плату. Напряжение питания также уже подведено к микросхемам. Подключать соответствующие разъёмы необходимо через сопротивление 510 Ом. Для наглядности работы схемы нужно использовать светодиоды, по возможности также цифровой индикатор с дешифратором (принцип работы индикатора приведен в техническом паспорте). В качестве генератора тактовой частоты использовать один из встроенных генераторов логических уровней. Назначения и обозначения выводов схем приведены в техническом паспорте.

1. Используя *JK*-триггеры, собрать схемы:

- а) асинхронного 3-х разрядного счетчика;
- б) асинхронного 3-х разрядного реверсивного счетчика;
- в) синхронного 3-х разрядного счетчика;
- г) синхронного 4-х разрядного реверсивного счетчика;
- д) параллельного 4-х разрядного регистра;

2. Построить схему:

- а) 4-х разрядного счетчика и для него схему дешифратора;
- б) 4-х разрядного шифратора и для него схему параллельного регистра;

3. Используя встроенную схему счетчика, получить счетчик, считающий до

- а) 13;
- б) 11;
- в) 15;
- г) 7;
- д) 9;

4. При моделировании собрать также схемы, в которых для сброса счетчиков используются входы синхронной очистки.

Литература

1. А.Г. Алексенко, И.И. Шагурин. Микросхемотехника: Учебное пособие для вузов – 2-е мд., перераб. И доп. – М.: Радио и связь, 1990
2. С.И. Баскаков. Радиотехнические цепи и сигналы: Учебник для вузов по спец. «Радиотехника» - 4-е изд., перераб. И. Доп. – М.: Высшая школа, 2003
3. А.Б. Сергиенко. Цифровая обработка сигналов. – Спб.: Питер, 2002
4. Е.П. Угрюмов. Цифровая схемотехника. – Спб.: БХВ-Петербург, 2004
5. С.Г. Гиндикин. Алгебра логики в задачах. – М.: Наука, 1972
6. Хоровиц П., Хилл У. Искусство схемотехники. – М.: Мир, 1998
7. Титце У., Шенк К. Полупроводниковая схемотехника. - М.: Мир, 1982.